

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086929

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H03L 7/10

(21)Application number : 05-175989

(71)Applicant : YAMAHA CORP

(22)Date of filing : 23.06.1993

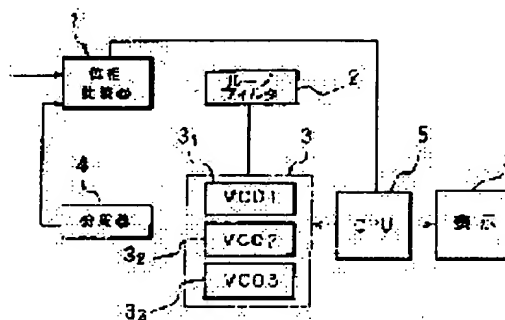
(72)Inventor : MIYOSHI HIROHISA  
KURATA KOJI

## (54) PLL CIRCUIT

### (57)Abstract:

**PURPOSE:** To simplify configuration by providing plural voltage controlled oscillators(VCOs) at different central frequencies and switching the VCO when a frequency is not locked.

**CONSTITUTION:** The PLL circuit is composed of a phase comparator 1, loop filter 2, a voltage controlled oscillator(VCO) 3 and frequency divider 4. Three VCOs 31-33 at different central frequencies are provided, for example. When a digital signal is inputted, a CPU 5 selects any one of three VCOs according to a previously decided order and starts the PLL circuit. After the lapse of prescribed time, the CPU 5 inspects the flag of synchronism judgement outputted from the phase comparator 1 and when the frequency is not locked, the CPU selects the next VCO and starts the PLL circuit again. Thus, the circuit for inspecting the frequency of the digital input signal is omitted. The conversion gains of respective VCOs are set at a irreducibly minimum limitation and interference caused by side band noise is prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86929

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl.<sup>6</sup>

H 0 3 L 7/10

識別記号

庁内整理番号

F I

技術表示箇所

9182-5J

H 0 3 L 7/10

審査請求 未請求 請求項の数1 F D (全3頁)

(21) 出願番号

特願平5-175989

(22) 出願日

平成5年(1993)6月23日

(71) 出願人

000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者

三好 啓久

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者

倉田 浩司

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人

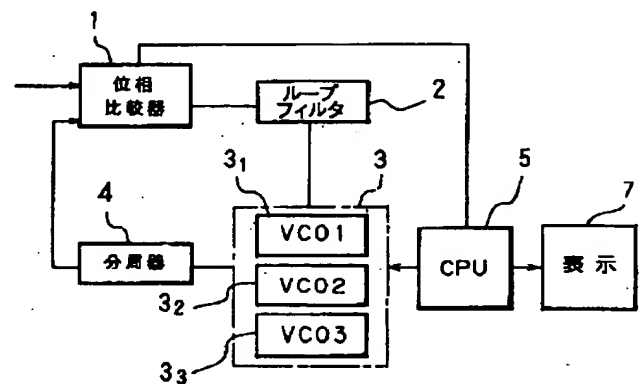
弁理士 伊丹 勝

(54) 【発明の名称】 PLL回路

(57) 【要約】

【目的】 広い周波数範囲で安定に同期をとることが可能で且つ簡単、安価に構成できるPLL回路を提供する。

【構成】 サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心周波数が異なる複数のVCOと、周波数がロックされないことを確認して前記VCOを順次切替制御する制御手段とを有する。



(2)

**【特許請求の範囲】**

**【請求項1】** サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心周波数が異なる複数の電圧制御発振器と、周波数がロックされないことを確認して前記電圧制御発振器を順次切替制御する制御手段とを有することを特徴とするPLL回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、サンプリング周波数が異なる複数のデジタル入力信号を受信してデジタル信号処理を行う装置のPLL回路に関する。

**【0002】**

**【従来の技術】** デジタルミキサでは、A/Dコンバータや、CD、DAT等の種々のデジタル信号を受信してデジタル領域でミキシング処理が行われる。デジタル入力信号のサンプリング周波数は様々であるため、入力受信回路部にはキャプチャーレンジの広い一つの電圧制御発振器(VCO)を持つPLL回路が用いられ、これによりキャプチャーレンジ内の周波数のデジタル信号であれば自動的に周波数ロックできるようにしている。しかし、一つのVCOを用いてPLL回路を構成し、同期をかけたい周波数の最小から最大まで全てに同期がかけられるようにするためには、変換利得の大きなVCOを用いることが必要になる。その場合サイドバンドノイズが大きくなり、その結果同期が不安定になるといった問題がある。

**【0003】** これを解決するものとして、図2に示すPLL回路が考えられている。図示のようにこのPLL回路は、位相比較器1、ループフィルタ2、複数のVCO31~33を持つ発振器3、分周器4を有し、デジタル入力信号をカウントするカウンタ6が設けられている。CPU5は、このカウンタ6の出力によりデジタル入力信号の周波数を検知し、その周波数に応じて複数のVCO31~33の中の最適VCOを選択するという制御を行う。

**【0004】**

**【発明が解決しようとする課題】** 図2のPLL回路は機能上は充分であるが、更に部品数を減らしたいという要望がある。この発明は、広い周波数範囲で安定に同期をとることが可能で且つ簡単、安価に構成できるPLL回路を提供することを目的としている。

**【0005】**

**【課題を解決するための手段】** この発明は、サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心

周波数が異なる複数の電圧制御発振器と、周波数がロックされないことを確認して前記電圧制御発振器を順次切替制御する制御手段とを有することを特徴とする。

**【0006】**

**【作用】** デジタルミキサが種々の周波数のデジタル信号を扱うとはいっても、それらは通常それぞれ規格化されており、その数もそれほど多いわけではない。従ってこの発明では、異なる中心周波数をもつ複数のVCOを用意する。そして周波数がロックされないことを確認すると、VCOを順次切り換えるように制御している。従ってこの発明によれば広い周波数範囲で安定に同期をとることが可能であるだけでなく、周波数検知を行うカウンタ等が要らないので構成が簡単になり、装置が安価になる。

**【0007】**

**【実施例】** 以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例のデジタル入力信号受信部におけるPLL回路である。図示のようにこのPLL回路は、位相比較器1、ループフィルタ2、発振器3及び分周器4を有する。その基本構成は通常のPLLと同様である。この実施例では発振器3が切替可能な3個のVCO31, 32, 33を持つ。これら3個のVCO31, 32, 33を切替可能に設けることにより、3種類のサンプリング周波数に対応できることになる。

**【0008】** 3個のVCO31, 32, 33を切替制御するのがCPU5である。CPU5は、位相比較器1から得られるロックされたか否かを判別する同期判断のフラグを取り込んで、VCO31, 32, 33の切替制御を行う。即ちCPU5は、一つのVCOを選び、適当な時間待ってロックしない場合には次のVCOに切り換えるという制御を、位相比較器1からの同期判断フラグを検出するまで繰り返す。これによりキャプチャーレンジ内のデジタル入力がある場合にいずれかのVCOでロックできることになる。但しこの実施例は、予め設定されたキャプチャーレンジ内の入力があった場合に初めて正常動作する。

**【0009】** デジタル入力信号の周波数が予め設定されたキャプチャーレンジ外であるか又は入力がない場合には、CPU5はフラグが入力されていないことを判断して、キャプチャーレンジ外であるか又は入力がない旨の警告信号を出すことができ、またこれを表示器7に表示することができる。

**【0010】**

**【発明の効果】** 以上述べたようにこの発明によれば、安定した発振が得られる複数のVCOを用意してこれらを切替制御することにより、広い周波数範囲にわたって安定した同期を取ることができ、しかも安価に構成できるPLL回路が得られる。

**【図面の簡単な説明】**

(3)

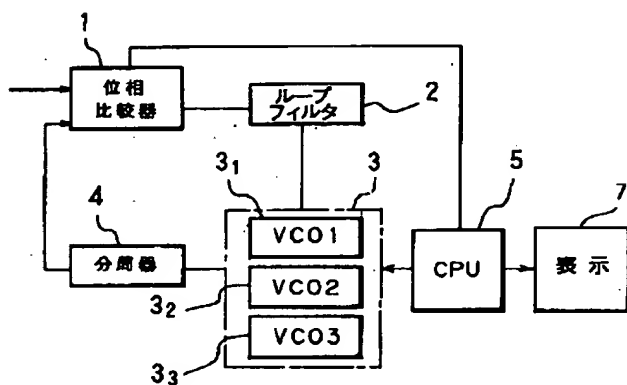
【図1】 この発明の一実施例に係るデジタル入力信号受信部のPLL回路を示す。

【図2】 従来のデジタル入力信号受信部のPLL回路を示す。

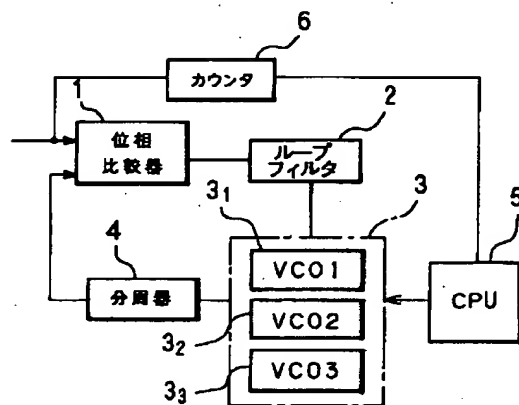
【符号の説明】

1…位相比較器、2…ループフィルタ、3…発振器、31…VCO、32…分周器、33…CPU、4…CPU、5…表示器。

【図1】



【図2】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086929

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H03L 7/10

(21)Application number : 05-175989

(71)Applicant : YAMAHA CORP

(22)Date of filing : 23.06.1993

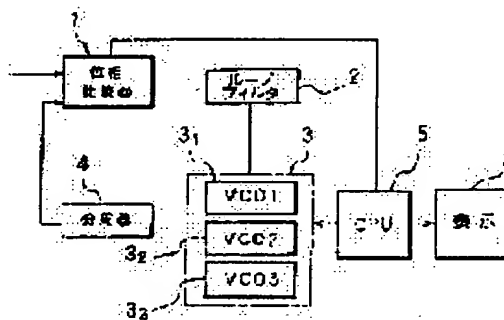
(72)Inventor : MIYOSHI HIROHISA  
KURATA KOJI

## (54) PLL CIRCUIT

### (57)Abstract:

**PURPOSE:** To simplify configuration by providing plural voltage controlled oscillators(VCOs) at different central frequencies and switching the VCO when a frequency is not locked.

**CONSTITUTION:** The PLL circuit is composed of a phase comparator 1, loop filter 2, a voltage controlled oscillator(VCO) 3 and frequency divider 4. Three VCOs 31-33 at different central frequencies are provided, for example. When a digital signal is inputted, a CPU 5 selects any one of three VCOs according to a previously decided order and starts the PLL circuit. After the lapse of prescribed time, the CPU 5 inspects the flag of synchronism judgement outputted from the phase comparator 1 and when the frequency is not locked, the CPU selects the next VCO and starts the PLL circuit again. Thus, the circuit for inspecting the frequency of the digital input signal is omitted. The conversion gains of respective VCOs are set at a irreducibly minimum limitation and interference caused by side band noise is prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86929

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>

H03L 7/10

識別記号

庁内整理番号

F I

技術表示箇所

9182-5J

H03L 7/10

審査請求 未請求 請求項の数1 F D (全3頁)

(21) 出願番号

特願平5-175989

(22) 出願日

平成5年(1993)6月23日

(71) 出願人

000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者

三好 啓久

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者

倉田 浩司

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人

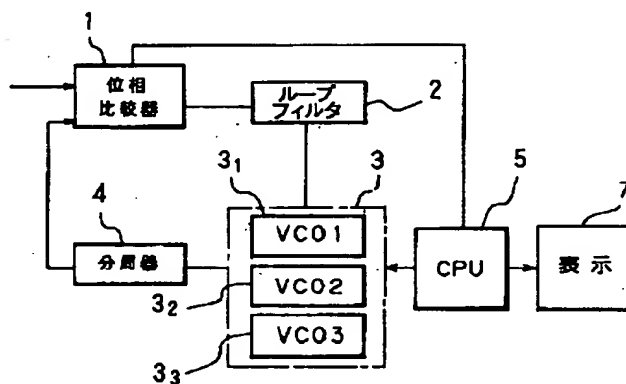
弁理士 伊丹 勝

(54) 【発明の名称】 PLL回路

(57) 【要約】

【目的】 広い周波数範囲で安定に同期をとることが可能で且つ簡単、安価に構成できるPLL回路を提供する。

【構成】 サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心周波数が異なる複数のVCOと、周波数がロックされないことを確認して前記VCOを順次切替制御する制御手段とを有する。



(2)

**【特許請求の範囲】**

**【請求項1】** サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心周波数が異なる複数の電圧制御発振器と、周波数がロックされないことを確認して前記電圧制御発振器を順次切替制御する制御手段とを有することを特徴とするPLL回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、サンプリング周波数が異なる複数のデジタル入力信号を受信してデジタル信号処理を行う装置のPLL回路に関する。

**【0002】**

**【従来の技術】** デジタルミキサーでは、A/Dコンバータや、CD、DAT等の種々のデジタル信号を受信してデジタル領域でミキシング処理が行われる。デジタル入力信号のサンプリング周波数は様々であるため、入力受信回路部にはキャプチャーレンジの広い一つの電圧制御発振器(VCO)を持つPLL回路が用いられ、これによりキャプチャーレンジ内の周波数のデジタル信号であれば自動的に周波数ロックできるようにしている。しかし、一つのVCOを用いてPLL回路を構成し、同期をかけたい周波数の最小から最大まで全てに同期がかけられるようにするためには、変換利得の大きなVCOを用いることが必要になる。その場合サイドバンドノイズが大きくなり、その結果同期が不安定になるといった問題がある。

**【0003】** これを解決するものとして、図2に示すPLL回路が考えられている。図示のようにこのPLL回路は、位相比較器1、ループフィルタ2、複数のVCO31~33を持つ発振器3、分周器4を有し、デジタル入力信号をカウントするカウンタ6が設けられている。CPU5は、このカウンタ6の出力によりデジタル入力信号の周波数を検知し、その周波数に応じて複数のVCO31~33の中の最適VCOを選択するという制御を行う。

**【0004】**

**【発明が解決しようとする課題】** 図2のPLL回路は機能上は充分であるが、更に部品数を減らしたいという要望がある。この発明は、広い周波数範囲で安定に同期をとることが可能で且つ簡単、安価に構成できるPLL回路を提供することを目的としている。

**【0005】**

**【課題を解決するための手段】** この発明は、サンプリング周波数が異なる複数種類のデジタル信号のうちいずれか1種類のデジタル入力信号を受信してデジタル処理を行う装置のPLL回路において、変換利得が小さく中心

周波数が異なる複数の電圧制御発振器と、周波数がロックされないことを確認して前記電圧制御発振器を順次切替制御する制御手段とを有することを特徴とする。

**【0006】**

**【作用】** デジタルミキサーが種々の周波数のデジタル信号を扱うとはいっても、それらは通常それぞれ規格化されており、その数もそれほど多いわけではない。従ってこの発明では、異なる中心周波数をもつ複数のVCOを用意する。そして周波数がロックされないことを確認すると、VCOを順次切り換えるように制御している。従ってこの発明によれば広い周波数範囲で安定に同期をとることが可能であるだけでなく、周波数検知を行うカウンタ等が要らないので構成が簡単になり、装置が安価になる。

**【0007】**

**【実施例】** 以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例のデジタル入力信号受信部におけるPLL回路である。図示のようにこのPLL回路は、位相比較器1、ループフィルタ2、発振器3及び分周器4を有する。その基本構成は通常のPLLと同様である。この実施例では発振器3が切替可能な3個のVCO31, 32, 33を持つ。これら3個のVCO31, 32, 33を切替可能に設けることにより、3種類のサンプリング周波数に対応できることになる。

**【0008】** 3個のVCO31, 32, 33を切替制御するのがCPU5である。CPU5は、位相比較器1から得られるロックされたか否かを判別する同期判断のフラグを取り込んで、VCO31, 32, 33の切替制御を行う。即ちCPU5は、一つのVCOを選び、適当な時間を待ってロックしない場合には次のVCOに切り換えるという制御を、位相比較器1からの同期判断フラグを検出するまで繰り返す。これによりキャプチャーレンジ内のデジタル入力がある場合にいずれかのVCOでロックできることになる。但しこの実施例は、予め設定されたキャプチャーレンジ内の入力があった場合に初めて正常動作する。

**【0009】** デジタル入力信号の周波数が予め設定されたキャプチャーレンジ外であるか又は入力がない場合には、CPU5はフラグが入力されていないことを判断して、キャプチャーレンジ外であるか又は入力がない旨の警告信号を出すことができ、またこれを表示器7に表示することができる。

**【0010】**

**【発明の効果】** 以上述べたようにこの発明によれば、安定した発振が得られる複数のVCOを用意してこれらを切替制御することにより、広い周波数範囲にわたって安定した同期を取ることができ、しかも安価に構成できるPLL回路が得られる。

**【図面の簡単な説明】**

(3)

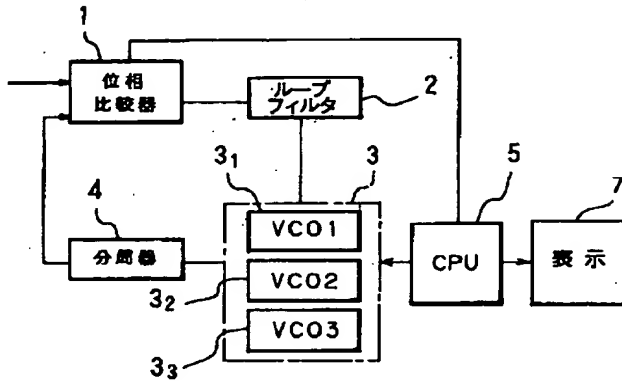
【図1】 この発明の一実施例に係るデジタル入力信号受信部のPLL回路を示す。

【図2】 従来のデジタル入力信号受信部のPLL回路を示す。

【符号の説明】

1…位相比較器、2…ループフィルタ、3…発振器、31…VCO、32…分周器、33…CPU、4…分周器、5…CPU、7…表示器。

【図1】



【図2】

